

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-264769

(43)Date of publication of application : 11.10.1996

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/285
H01L 21/76

(21)Application number : 07-060889

(71)Applicant : NEC CORP

(22)Date of filing : 20.03.1995

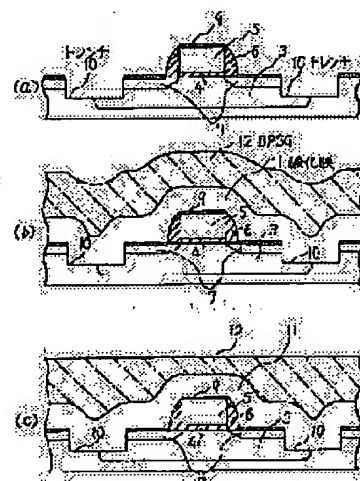
(72)Inventor : KUWABARA HIRONORI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To restrain resistance increase of a diffusion layer caused by microminiaturization of a semiconductor element, by forming an element isolation region after metal silicide of high melting point is formed, in the manufacturing method of a semiconductor device having the metal silicide of high melting point at least on a source/drain region.

CONSTITUTION: After a gate electrode and a side wall insulating film 6 are formed, high melting point metal is sputtered, and silicide 9 is formed by heat treatment. Trenches 10 are formed by anisotropically etching the part turning to an element isolation region. An oxide film 11 and BPSG 12 are deposited and polished by a CMP method. Thus the element isolation region and an interlayer film are formed.



LEGAL STATUS

[Date of request for examination]

20.03.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2636786

[Date of registration]

25.04.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

25.04.2003

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the insulated-gate mold electric field effect mold transistor in which refractory metal silicide was formed on the source and a drain field The process which forms a gate electrode on a semi-conductor substrate, and the process which pours in an impurity by using said gate electrode as a mask, The process which forms a refractory metal layer all over a semi-conductor substrate, and the process which heat-treats the semi-conductor substrate in which said refractory metal layer was formed, and forms refractory metal silicide on a semi-conductor substrate, The manufacture approach of the semiconductor device characterized by including a component isolation region and the process which forms an interlayer film the process which etches some of said refractory metal silicide and semi-conductor substrates of the lower part, and forms a trench, and by depositing an insulator layer all over said trench being included.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device which has the structure which prepared refractory metal silicide on the source and a drain field at least especially, and its manufacture approach about the manufacture approach of a semi-conductor.

[0002]

[Description of the Prior Art] Although parasitism resistance of a source drain serves as a failure of high-speed operation with detailed-izing of a semiconductor device, by preparing refractory metal silicide in the source and a drain field, parasitism resistance is reduced and the high-speed operation of a transistor becomes possible.

[0003] It is shown below with reference to drawing 3 about the formation of NMOS which is mainly the FET section, using as an example the manufacture approach of a semi-conductor of having the structure which prepared refractory metal silicide on the conventional source and a drain field.

[0004] LOCOS (Local Oxidation of Silicon) usual to a silicon substrate 1 top — after forming field oxide 2 by law, according to a photolithography process and an ion-implantation process, P type impurities (boron etc.) are introduced and P well field 3 is formed. Next, gate oxide 4 is formed, polycrystalline silicon is made to deposit on it, pattern NINGU is performed by the photo etching method, and the gate electrode 5 is formed. Next, the side-attachment-wall insulator layer 6 which becomes the side attachment wall of the gate electrode, 5 from an oxide film is formed (drawing 3 (a)).

[0005] Then, N type impurities (Lynn, etc.) are introduced according to the usual ion-implantation process, the source drain field 7 is formed, and, subsequently, a titanium thin film is formed by the spatter (drawing 3 (b)). Next, the refractory metal on silicon is silicide-ized for it by heat treatment, and wet etching removes the refractory metal compound and refractory metal on a side-attachment-wall insulator layer and field oxide (drawing 3 (c)).

[0006]

[Problem(s) to be Solved by the Invention] By preparing refractory metal silicide on the source and a drain field, parasitism resistance is reduced and the high-speed operation of a transistor becomes possible. However, when for example, titanium silicide is used as refractory metal silicide, and diffusion layer width of face becomes narrow with detailed-izing of a semiconductor device, there is a problem that resistance will go up. the agglutination reaction, silicide-ized reaction, and phase transition reaction of titanium are controlled by the increment in the stress by the formation field of a diffusion layer becoming narrow, as for this etc. — high — having the crystal structure [****] etc. is considered as the cause.

[0007] The object of this invention is to offer the manufacture approach of the semi-conductor which can prevent high resistance-ization of the titanium silicide in a diffusion layer with narrow width of face.

[0008]

[Means for Solving the Problem] In the insulated-gate mold electrolysis effectiveness mold transistor with which the manufacture approach of the semi-conductor of this invention formed refractory metal silicide on the source and a drain field The process which forms a gate electrode, and the process which

forms a refractory metal layer all over a semi-conductor substrate, The process which heat-treats the semi-conductor substrate in which said refractory metal layer was formed, and forms refractory metal silicide on a semi-conductor substrate, It is characterized by including the process which etches a part of silicon substrate of said refractory metal silicide and its lower part, and forms a trench, and the process which forms a component isolation region and an interlayer film by depositing an insulator layer on the whole surface.

[0009]

[Example] Next, this invention is explained with reference to a drawing. Drawing 1 (a) - (c) and drawing 2 (a) - (c) is drawing of NMOS mainly shown in order of a process about formation of the FET section considering one example of this invention as an example.

[0010] On the silicon substrate 1 as a semi-conductor substrate, using a usual photolithography process and a usual ion-implantation process, P type impurities (boron etc.) are introduced and P well field 3 is formed. Next, a LOCOS process like the conventional example forms gate oxide 4, without carrying out, it makes polycrystalline silicon deposit on it, performs pattern NINGU by the photo etching method, and forms the gate electrode 5. Here, thickness of the polycrystalline silicon which is the gate oxide 4 and the gate electrode of this example as an example is set to about 100A and 3000A, respectively. next, the whole surface — a CVD method — silicon oxide — the thickness of about 500 A — forming — RIE (Reactive Ion Etching) — etchback is carried out by law and the side-attachment-wall insulator layer 6 is formed in the both sides of the gate electrode 5.

[0011] Then, the source drain field 7 of a large area which introduces N type impurities (Lynn etc.) on P well field 3 at least by using the gate electrode 5 as a mask using an ion-implantation process, and has LDD (Lightly Doped Drain) structure is formed (drawing 1 (a)).

[0012] Next, as a refractory metal, the titanium of about 500 A is deposited on the whole surface by the spatter (drawing 1 (b)), into nitrogen-gas-atmosphere mind, the part to which titanium is in contact with the silicon front face on the silicon substrate is made to react by performing lamp annealing for about 30 seconds at 700 degrees C, and the titanium silicide layer 9 which is refractory metal silicide is formed (drawing 1 (c)). The unreacted titanium which exists on a side-attachment-wall insulator layer is removable by etching by the mixed liquor of ammonia and hydrogen peroxide solution.

[0013] next, the part which serves as a component isolation region by the photo etching method — titanium silicide — subsequently — the order of a silicon substrate — respectively — about 1000A — it carries out 3000A anisotropic etching, and a trench 10 is formed (drawing 2 (a)).

[0014] And the abbreviation 5000A deposition of an oxide film 11 is done with a CVD method. Furthermore, BPSG(Boron Phospho Silicate Glass) 12 [about 1-micrometer] is made to deposit with a CVD method (drawing 2 (b)), and a reflow is performed at 800 degrees C.

[0015] next, CMP (Chemical Mechanical Ponishing) — BPSG is ground by law and a component isolation region and an interlayer film are formed by performing flattening (drawing 2 (c)). And although not illustrated, opening of the contact hole is carried out, a wiring layer and a protective coat are formed, and a transistor is constituted.

[0016] Although titanium silicide was used as refractory metal silicide in this example, cobalt silicide and nickel silicide may be used for others. In this case, what is necessary is just to deposit cobalt or nickel by the spatter as a refractory metal.

[0017]

[Effect of the Invention] Although high-speed actuation will be attained by reduction of channel resistance if detailed-ization of a semiconductor device progresses, the effect of the parasitic effect by resistance of the source and a drain comes to appear more notably. This invention is nt of for example, 0.7-micrometer width of face by forming a component isolation region, after forming titanium silicide in a large part, and forming a narrow diffusion layer. In a diffusion layer, lifting of resistance by diffusion layer width of face becoming narrow about sheet resistance like more than the conventional 20ohms / ** to 10ohms / ** extent can be suppressed. Thereby, the high-speed actuation according to detailed-izing of a semiconductor device is realizable.

[0018] Furthermore, this invention can use not the LOCOS method but trench separation advantageous to detailed-izing. In the trench separation method of the former in that case, after forming a trench, the process of flattening after what has a gate electrode and the process which performs the process of source drain field formation and then forms an oxide film in the whole surface required after the process which carries out flattening of the trench forms [trench] in this invention is unnecessary, and in order to end by one oxide film formation, it also has the effectiveness of reduction in a routing counter.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing the process of the example of this invention.

[Drawing 2] The sectional view showing the process of the example of this invention.

[Drawing 3] The sectional view showing the conventional technique.

[Description of Notations]

1 Silicon Substrate

2 Field Oxide

3 P Well Field

4 Gate Oxide

5 Gate Electrode

6 Side-Attachment-Wall Insulator Layer

7 Source Drain Field

8 Titanium Thin Film

9 Titanium Silicide

10 Trench

11 Oxide Film

12 BPSG

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-264769

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336			21/285	3 0 1 T
21/285	3 0 1		21/76	M
21/76				

審査請求 有 請求項の数1 OL (全 5 頁)

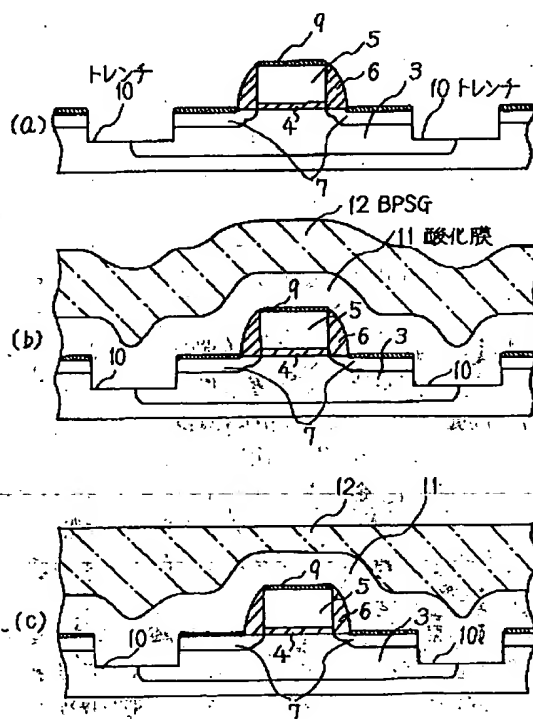
(21)出願番号	特願平7-60889	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成7年(1995)3月20日	(72)発明者	桑原 広範 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57).【要約】 (修正有)

【目的】少なくともソース・ドレイン領域上に高融点金属シリサイドを有する半導体装置の製造方法において、高融点金属シリサイドを形成した後に素子分離領域を形成することで、半導体素子の微細化による拡散層の抵抗上昇を抑える。

【構成】ゲート電極 5、側壁絶縁膜 6 を形成後、高融点金属をスパッタし熱処理を行うことでシリサイド 9 を形成し、次に素子分離領域となる部分を異方性エッチングし、トレンチ 10 を形成する。次に酸化膜 11 および BPSG 12 を堆積し、CMP 法により研磨し、素子分離領域と層間膜を形成する。



(2)

【特許請求の範囲】

【請求項1】 ソース及びドレイン領域上に高融点金属シリサイドを形成した絶縁ゲート型電界効果型トランジスタにおいて、半導体基板上にゲート電極を形成する工程と、前記ゲート電極をマスクとして不純物を注入する工程と、半導体基板全面に高融点金属層を形成する工程と、前記高融点金属層を形成した半導体基板を熱処理し半導体基板上に高融点金属シリサイドを形成する工程と、前記高融点金属シリサイドおよびその下部の半導体基板の一部をエッチングしトレンチを形成する工程と、前記トレンチを含む全面に絶縁膜を堆積することにより素子分離領域と層間膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体の製造方法に関し、特に少なくともソース及びドレイン領域上に高融点金属シリサイドを設けた構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 半導体装置の微細化にともない、ソース・ドレインの寄生抵抗が高速動作の障害となるが、ソース及びドレイン領域に高融点金属シリサイドを設けることで、寄生抵抗を低減させ、トランジスタの高速動作が可能になる。

【0003】 従来のソース及びドレイン領域上に高融点金属シリサイドを設けた構造を有する半導体の製造方法を、一例としてNMOSの主にそのFET部の形成について図3を参照して以下に示す。

【0004】 シリコン基板1上に通常のLOCOS (Local Oxidation of Silicon) 法により、フィールド酸化膜2を形成した後、フォトリソグラフィ工程とイオン注入工程により、P型不純物（ボロン等）を導入し、Pウェル領域3を形成する。次に、ゲート酸化膜4を形成し、その上に多結晶シリコンを堆積させ、フォトエッチング法によりパターンニングを行いゲート電極5を形成する。次に、ゲート電極5の側壁に酸化膜からなる側壁絶縁膜6を形成する（図3（a））。

【0005】 その後、通常のイオン注入工程によりN型不純物（リン等）を導入し、ソース・ドレイン領域7を形成し、次いで、チタン薄膜をスパッタ法により形成する（図3（b））。次に、それを熱処理によりシリコン上の高融点金属をシリサイド化し、側壁絶縁膜およびフィールド酸化膜上の高融点金属化合物および高融点金属をウェットエッチングにより除去する（図3（c））。

【0006】

【発明が解決しようとする課題】 ソース及びドレイン領域上に高融点金属シリサイドを設けることで、寄生抵抗を低減させ、トランジスタの高速動作が可能になる。し

かし、高融点金属シリサイドとして例えばチタンシリサイドを用いた場合、半導体装置の微細化に伴い拡散層幅が狭くなると抵抗が上昇してしまうという問題がある。これは、拡散層の形成領域が狭くなることによる応力の増加等により、チタンの凝集反応、シリサイド化反応や相転移反応が抑制されることで高抵抗な結晶構造をもつことなどが原因とされている。

【0007】 本発明の目的は、幅の狭い拡散層でのチタンシリサイドの高抵抗化を防ぐことが可能な半導体の製造方法を提供することにある。

【0008】

【課題を解決するための手段】 本発明の半導体の製造方法は、ソース及びドレイン領域上に高融点金属シリサイドを形成した絶縁ゲート型電界効果型トランジスタにおいて、ゲート電極を形成する工程と、半導体基板全面に高融点金属層を形成する工程と、前記高融点金属層を形成した半導体基板を熱処理し、半導体基板上に高融点金属シリサイドを形成する工程と、前記高融点金属シリサイドおよびその下部のシリコン基板の一部をエッチングしトレンチを形成する工程と、全面に絶縁膜を堆積することにより素子分離領域と層間膜を形成する工程を含むことを特徴とする。

【0009】

【実施例】 次に本発明について図面を参照して説明する。図1（a）～（c）及び図2（a）～（c）は本発明の一実施例を、一例としてNMOSの主にそのFET部の形成について、工程順に示す図である。

【0010】 半導体基板としてのシリコン基板1上に通常のフォトリソグラフィ工程とイオン注入工程を用いて、P型不純物（ボロン等）を導入し、Pウェル領域3を形成する。次に従来例のようなLOCOS工程は行わずにゲート酸化膜4を形成し、その上に多結晶シリコンを堆積させ、フォトエッチング法によりパターンニングを行いゲート電極5を形成する。ここで、一例として本実施例のゲート酸化膜4およびゲート電極である多結晶シリコンの厚さは、それぞれ約100Å、3000Åとする。次に、全面にCVD法によりシリコン酸化膜を約500Åの厚さで形成し、RIE (Reactive Ion Etching) 法によりエッチバックしてゲート電極5の両側に側壁絶縁膜6を形成する。

【0011】 その後、イオン注入工程を用いてゲート電極5をマスクとしてN型不純物（リン等）を少なくともPウェル領域3上に導入しLDD (Lightly Doped Drain) 構造をもつ広い面積のソース・ドレイン領域7を形成する（図1（a））。

【0012】 次に、高融点金属として例えば約500Åのチタンを全面にスパッタ法により堆積し（図1（b））、窒素雰囲気中において700℃で約30秒間ランプアニールを行うことでシリコン基板上でシリコン表面とチタンが接している部分を反応させ、高融点金属

(3)

3

シリサイドであるチタンシリサイド層9を形成する(図1(c))。側壁絶縁膜上に存在する未反応のチタンは、アンモニアと過酸化水素水の混合液によるエッチングにより除去することができる。

【0013】次に、フォトエッチング法により素子分離領域となる部分をチタンシリサイド、次いでシリコン基板の順にそれぞれ約1000Å、3000Å異方性エッチングし、トレンチ10を形成する(図2(a))。

【0014】そして、CVD法により酸化膜11を約5000Å堆積させる。さらに、CVD法によりBPSG (Boron Phospho Silicate Glass) 12を1μm程度堆積させ(図2(b))、800℃でリフローを行う。

【0015】次に、CMP (Chemical Mechanical Polishing) 法によりBPSGを研磨し、平坦化を行うことで、素子分離領域と層間膜が形成される(図2(c))。そして、図示しないが、コンタクトホールを開口し、配線層と保護膜を形成しトランジスタを構成する。

【0016】本実施例では高融点金属シリサイドとしてチタンシリサイドを用いたが、他にコバルトシリサイド、ニッケルシリサイドを用いてもよい。この場合、高融点金属としてコバルト又はニッケルをスパッタ法により堆積すればよい。

【0017】

【発明の効果】半導体装置の微細化が進むと、チャネル抵抗の低減により高速な動作が可能になるが、ソース、ドレインの抵抗による寄生効果の影響がより顕著にあらわれるようになる。本発明は、広い部分でチタンシリサイド化してから素子分離領域を形成し、狭い拡散層を形

4

成することで、例えば0.7μm幅のn⁺拡散層において、シート抵抗を従来の20Ω/□以上から10Ω/□程度のように、拡散層幅が狭くなることによる抵抗の上昇を抑えることができる。これにより、半導体素子の微細化に応じた高速な動作を実現することができる。

【0018】更に本発明はLOCOS法ではなく微細化に有利なトレンチ分離を用いることができる。その際従来のトレンチ分離法ではトレンチを形成した後、トレンチを平坦化する工程の後に、ゲート電極、ソース・ドレイン領域形成の工程を行ない次に酸化膜を全面に形成する工程が必要であったものが、本発明ではトレンチ形成の後、平坦化の工程が不要であり、1回の酸化膜形成で済むため、工程数の減少という効果も有する。

【図面の簡単な説明】

【図1】本発明の実施例の工程を示す断面図。

【図2】本発明の実施例の工程を示す断面図。

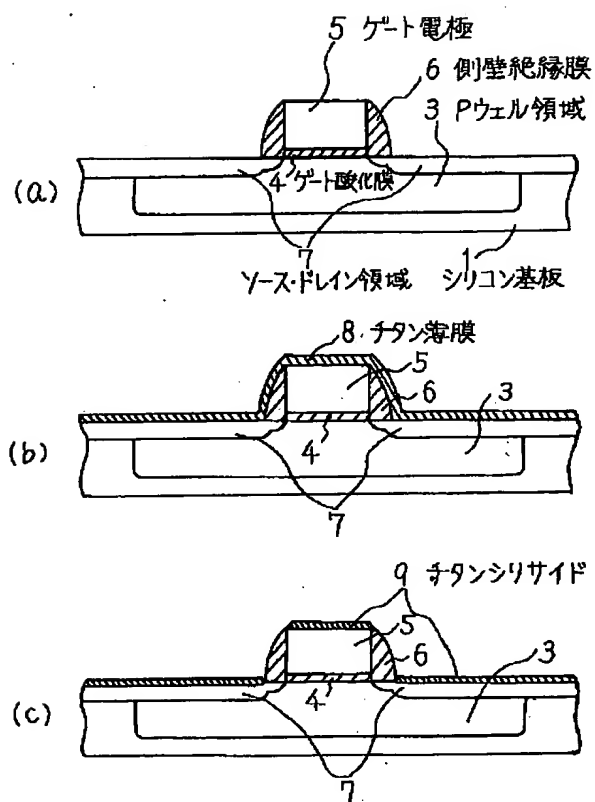
【図3】従来技術を示す断面図。

【符号の説明】

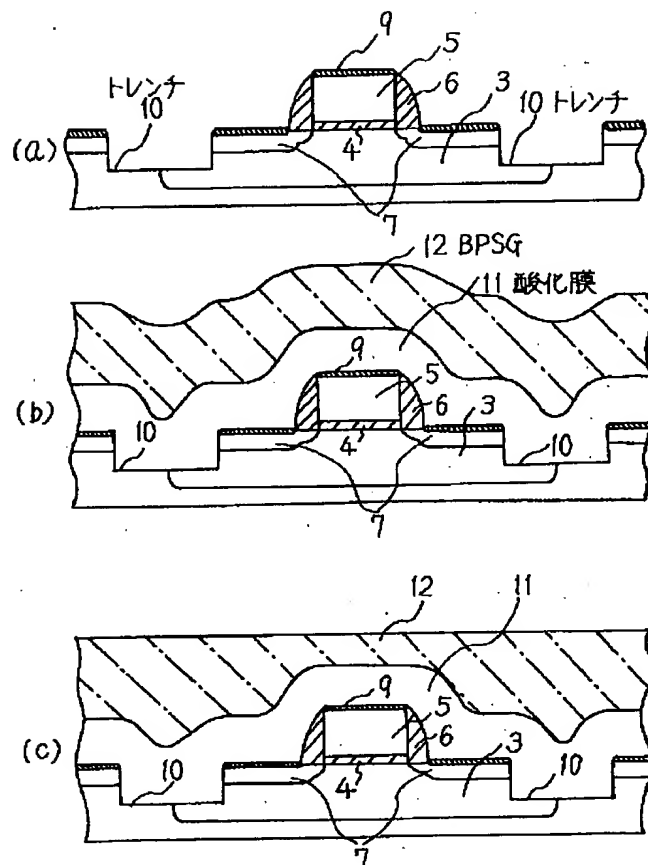
- | | |
|----|------------|
| 1 | シリコン基板 |
| 2 | フィールド酸化膜 |
| 3 | Pウェル領域 |
| 4 | ゲート酸化膜 |
| 5 | ゲート電極 |
| 6 | 側壁絶縁膜 |
| 7 | ソース・ドレイン領域 |
| 8 | チタン薄膜 |
| 9 | チタンシリサイド |
| 10 | トレンチ |
| 11 | 酸化膜 |
| 12 | BPSG |

(4)

【図1】

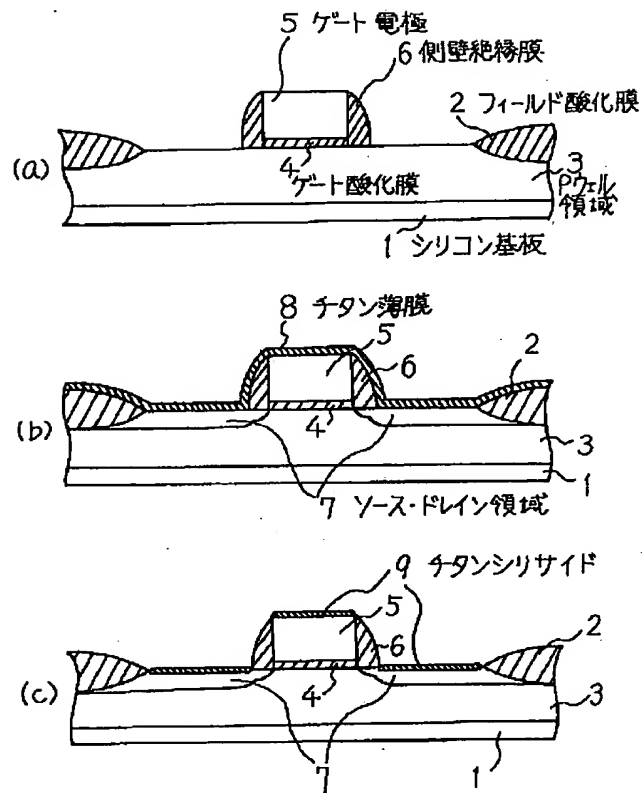


【図2】



(5)

【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.